

64-47076

DIALOG(R)File 347:JAPIO

(c) 2000 JPO & JAPIO. All rts. reserv.

02749476 **Image available**

MANUFACTURE OF MOS TYPE THIN FILM TRANSISTOR

PUB. NO.: 01-047076 [JP 1047076 A]

PUBLISHED: February 21, 1989 (19890221)

INVENTOR(s): WATANABE HIROBUMI
MORI KOJIAPPLICANT(s): RICOH CO LTD [000674] (A Japanese Company or Corporation), JP
(Japan)

APPL. NO.: 62-205537 [JP 87205537]

FILED: August 18, 1987 (19870818)

INTL CLASS: [4] H01L-029/78; H01L-021/322; H01L-027/12

JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components)

JAPIO KEYWORD: R097 (ELECTRONIC MATERIALS -- Metal Oxide Semiconductors,
MOS)JOURNAL: Section: E, Section No. 769, Vol. 13, No. 246, Pg. 61, June
08, 1989 (19890608)

ABSTRACT

PURPOSE: To acquire sufficient gettering effect and to make it easy to control a halogen implantation amount, by implanting halogen ions after formation of a gate oxide film or an Si semiconductor film for a gate.

CONSTITUTION: An Si semiconductor active layer 2 is formed on an insulating substrate 1 and the surface thereof is oxidized at dry O₂ atmosphere without halogen or O₂-vapor atmosphere to form a gate oxide film 3. Ions are implanted by more than two steps within an implantation energy range of 50keV-200keV by more than two steps with a gross implantation amount of 1X10¹³/cm² so that enough halogen ion such as Cl⁺, F⁺ is introduced into a gate oxide film, gate oxide film active layer interface and an active layer. Then a halogen ion implantation layer 13 is formed by conducting activation at 1000 deg.C for 30min at N₂ atmosphere and an Si semiconductor film 4 for gate is formed onto the entire surface of an oxide film 3. Since halogen ion implantation is applied from the side of the gate oxide film, enough gettering effect can be obtained thus increasing reliability of a transistor and also realizing easy controlling of halogen implantation amount.

⑨ 日本国特許庁 (JP)

⑩ 特許出願公開

⑪ 公開特許公報 (A)

昭64-47076

⑫ Int. Cl.

H 01 L 29/78
21/322
27/12

識別記号

311

庁内整理番号

F-7925-5F
X-7738-5F
7514-5F

⑬ 公開 昭和64年(1989)2月21日

審査請求 未請求 発明の数 1 (全4頁)

⑭ 発明の名称 MOS型薄膜トランジスターの製造方法

⑮ 特願 昭62-205537

⑯ 出願 昭62(1987)8月18日

⑰ 発明者 渡辺 博文 東京都大田区中馬込1丁目3番6号 株式会社リコー内
 ⑱ 発明者 森 孝二 東京都大田区中馬込1丁目3番6号 株式会社リコー内
 ⑲ 出願人 株式会社リコー 東京都大田区中馬込1丁目3番6号
 ⑳ 代理人 弁理士 佐田 守雄 外1名

明細書

1. 発明の名称

MOS型薄膜トランジスターの製造方法

2. 特許請求の範囲

1. 絶縁基板上にSi半導体活性層を形成し、その表面を熱酸化してゲート酸化膜を形成し、ついでその上にゲート用Si半導体膜を形成する工程を含むMOS型薄膜トランジスターの製造方法において、ゲート酸化膜形成後又はゲート用Si半導体膜形成後、ハロゲンイオンの打込みを行なうことを特徴とするMOS型薄膜トランジスターの製造方法。

3. 発明の詳細な説明

技術分野

本発明は特にMOS型薄膜トランジスターの製造方法におけるゲッタリング処理に関する。

従来技術

MOS型薄膜トランジスターは一般に第1図に示すような方法で製造されている。即ちまず石英板、ガラス板等の絶縁基板1上にポリシリ

コン(p-Si)、アモルファスシリコン(a-Si)等、活性層となるSi半導体(減圧CVD法によるSiH₄の熱分解)を蒸着し、ついでフォトマスクグラフィー・エッティング工程を施してSi半導体膜2を設け(第1図(a))、引続き熱酸化工程(O₂+HClガス雰囲気中、1000°C以上)を行なってゲート酸化膜3を形成する(第1図(b))。次にこのゲート酸化膜3の全面にゲート電極7となるSi半導体を蒸着してSi半導体膜4を形成し(第1図(c))、引続き同一マスクを用いてフォトマスクグラフィー・エッティング工程を施してゲート電極部分5及びゲート絶縁膜6を形成する(第1図(d))。ゲート電極部分5の低抵抗化によるゲート電極7の形成及びソース・ドレイン領域8, 8'の形成はここではセルフマスクインメント方式を採用し、イオン打込み9(イオンは通常、nチャンネルトランジスターの場合はB⁺、またpチャンネルトランジスターの場合はAs⁻又はP⁺)による不純物注入により同時になっている(第1図(e))。最後に層間絶

特開昭64-47076(2)

目的

本発明の目的はゲート酸化膜側からハロゲンイオンの打込みを行なうことにより、充分なゲッタリング効果が得られる上、ハロゲン注入量の制御も容易なMOS型薄膜トランジスターの製造方法を提供することである。

構成

本発明方法は絶縁基板上にSi半導体活性層を形成し、ついでその表面を熱酸化してゲート酸化膜を形成し、ついでその上にゲート用半導体膜を形成する工程を含むMOS型薄膜トランジスターの製造方法において、ゲート酸化膜形成後又はゲート用半導体膜形成後、その上からハロゲンイオンの打込みを行なうことを特徴とするものである。

本発明方法を図面によって説明すると、第2～3図においてまず絶縁基板1上に第1図(a)工程と同様にしてp-Si、a-Si等のSi半導体活性層1を形成する(第2～3図(a))。次にこの活性層表面を熱酸化するのであるが、この

熱酸化工程は常法とは異なり、ハロゲンを含有しないドライO₂、雰囲気又はO₂、一水蒸気雰囲気中で行なう。その他の条件は従来と同じでよい。こうしてゲート酸化膜3が形成される(第2～3図(b))。次に第2図の場合は本発明の特徴であるハロゲンイオン12の打込みを行なう。この工程はC⁺、F⁺等のハロゲンイオンがゲート酸化膜、ゲート酸化膜-活性層界面及び更に活性層中に充分に入るような条件で行なう。例えばゲート酸化膜の厚さが1500Åの場合ハロゲンイオンを注入エネルギー50KeV～200KeVの範囲で2段階以上のステップで打込み、總注入量を $1 \times 10^{13}/cm^2$ とする。次に活性化を1000℃、30分間でN₂雰囲気中で行なう。こうしてハロゲンイオン注入層13が形成される(第2図(c))。引続き第2図の場合はゲート酸化膜3の全面の常法によりゲート用Si半導体膜4を形成する(第2図(d))。一方、第3図の場合は第2図とは逆にゲート酸化膜3上にゲート用Si半導体膜4を形成した後(第3図(c))、その上からハ

ロゲンイオン12の打込みを行なってハロゲンイオン注入層13を形成する(第3図(d))。第3図の場合のハロゲンイオンは例えばゲート用Si半導体の厚さが3000Å、ゲート酸化膜の厚さが1500Åの場合、100～300KeVの範囲で2段階以上のステップで打込み、總注入量を $1 \times 10^{13}/cm^2$ とする。その後第2図の場合と同様に活性化を行なう。

以下第2図の場合も第3図の場合も第1図(e)～(g)工程と同様な工程を経てMOS型薄膜トランジスターが作られる。

実施例1

石英基板上に減圧CVD法によりp-Siを2000Å厚に蒸着し、ついでフォトリソグラフィー・エッチング工程を施してp-Si活性層を形成した後、これをドライO₂雰囲気中、1100℃で3時間熱処理して1500Å厚のゲート酸化膜を形成した。次に50KeV、引続き100KeVの条件でC⁺イオンの打込みを行なった。この時のC⁺イオンの總注入量は $1 \times 10^{13}/cm^2$ とした。その後、

特開昭64-47076(3)

N_2 雰囲気中、1000°Cで30分間熱処理し、活性化を行なった。これによりゲート酸化膜中、ゲート酸化膜-活性層界面及び活性層中に Cl^+ イオンが約1000Å厚に亘って注入された。次に減圧CVD法によりp-Siを3000Å厚に蒸着し、同一バターンを用いてこのゲート用p-Si膜及びゲート酸化膜にフォトリソグラフィー・エッチング工程を施してゲート電極部分及びゲート絶縁膜を形成した後、全面に50KeVでAs⁺イオンの打込みを行ない、ゲート電極及びソース・ドレイン領域を形成した。この時のAs⁺イオンの注入量は $5 \times 10^{13}/cm^2$ とした。以下、常法により SiO_2 の層間絶縁膜及びA₂電極を形成してpチャンネルMOS型薄膜トランジスターを作った。

実施例2

実施例1と同様にして石英基板上にp-Si活性層及びゲート酸化膜を形成した後、更に減圧CVD法により3000Å厚のゲート用p-Si膜を形成した。次に150KeV、引焼き200KeVの条件

で Cl^+ イオンの打込みを行なった。この時の Cl^+ イオンの總注入量は $1 \times 10^{13}/cm^2$ とした。その後、 N_2 雰囲気中、1000°Cで30分間熱処理し、活性化を行なった。これによりゲート用p-Si膜中、ゲート酸化膜中、ゲート酸化膜-活性層界面及び活性層中に Cl^+ イオンが約1000Å厚に亘って注入された。以下、実施例1と同様にフォトリソグラフィー・エッチング工程を施してゲート電極部分及びゲート絶縁膜を形成した後、As⁺イオンの打込みを行ない、ゲート電極及びソース・ドレイン領域を形成し、更に SiO_2 の層間絶縁膜及びA₂電極を形成してpチャンネルMOS型薄膜トランジスターを作った。

効果

以上の如く本発明方法はゲート酸化膜側からハロゲンイオンの打込み工程を加えたので、充分なゲッタリング効果が得られ、トランジスターの信頼性が向上する上、ハロゲン注入量の制御も容易となる。

4. 図面の簡単な説明

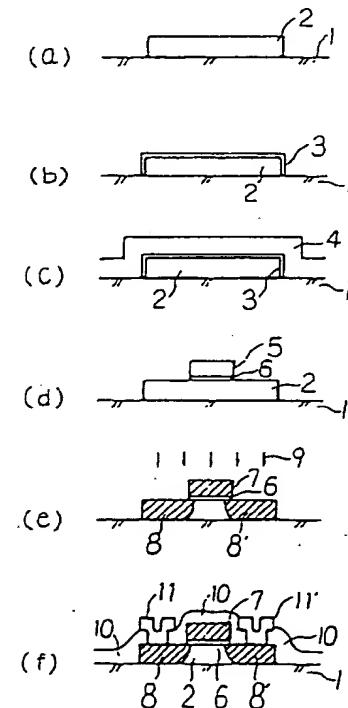
第1図は従来の一例のMOS型薄膜トランジスターの製造工程図、第2~3図は本発明MOS型薄膜トランジスターの製造方法におけるハロゲンイオン打込み工程の説明図である。

1…絶縁基板	2…Si半導体活性層
3…ゲート酸化膜	4…ゲート用Si半導体膜
5…ゲート電極部分	6…ゲート絶縁膜
7…ゲート電極	8, 8'…ソース・ドレイン領域
9…不純物イオン打込み	10…層間絶縁膜
11, 11'…金属電極	12…ハロゲンイオン打込み
13…ハロゲン注入層	

特許出願人 株式会社 リコー
代理人 弁理士 佐田守雄 外1名

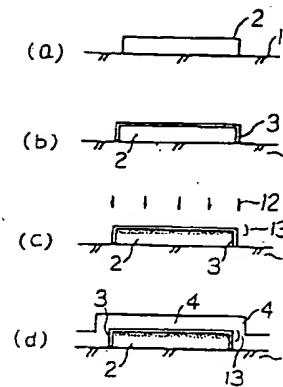


第1図



特開昭64-47076(4)

第2図



第3図

